

HS7751VoI P-2. 1

Hardware manual

[注意事項]

1. 本資料に記載された製品及び製品の仕様は、予告なく変更されることがあります。
2. 本資料に記載された内容は、正確かつ信頼し得るものであります。ただし、これら掲載された情報、製品または回路の使用に起因する損害または特許権その他権利の侵害に関しては、(株)ルネサス販売は一切その責任を負いません。
3. 本資料によって第三者の特許権その他権利の実施権を許諾するものではありません。
4. 本資料の一部または全部を当社に無断で転載または複製することを堅くお断りします。
5. 本資料で使用している図の一部は、実物と違っている場合があります。
6. 本ボードは、製品開発前の各種評価用に開発されたものです。絶対に製品には組み込まないでください。
7. 弊社では、潜在的な危険が存在する恐れのあるすべての起こり得る諸状況や誤使用を予見できません。したがって、本資料に記載されている警告が全てではありません。お客様の責任で、本ボードを正しく安全にご使用ください。

[SH7751R 関連ドキュメント]

SH7751R 関連のおもなドキュメント及びドキュメントナンバは、以下の通りです。尚、本マニュアル一覧は、2003.5.19 時点でダウンロード可能なマニュアルです。以降のアップデート情報、技術情報等につきましては、ルネサステクノロジホームページをご参照ください。(http://www.renesas.com/l)

■ハードウェアマニュアル

SH7751 シリーズハードウェアマニュアル(ADJ-602-215A)

SH7751 シリーズハードウェアマニュアル正誤表 (ADJ-602-215A_ERR)

■プログラミングマニュアル

SH-4 プログラミングマニュアル(ADJ-602-181D)

■開発環境マニュアル(E10A)

マイクロコンピュータ開発環境システム SH7751R E10A エミュレータユーザーズマニュアル(ADJ-702-361)

■技術情報

<デバイスに関して>

- ・FPU 演算命令使用上の注意(TN-SH7-448A)
- ・PCIC 入力セットアップ時間仕様変更(TN-SH7-440A)
- ・SH-4 Reserved 端子及び CA 端子の処理に関して(TN-SH7-247A)
- ・SH-4 バージョンレジスタについて(TN-SH7-361B)
- ・SH-4 パイプライン動作についての補足(TN-SH7-466A)
- ・SH7750R/SH7751R のハードウェアスタンバイモードにおける電源給電仕様(TN-SH7-418A)
- ・SH7751/SH7751R モード端子(MD9/MD10)処理について(TN-SH7-424A)
- ・SH7751/SH7751R の電源投入時の注意事項(TN-SH7-341B)
- ・SH7751R バスコントロールレジスタ 3 (BCR3)の初期値(TN-SH7-445A)

- ・TRAPA 命令/SLEEP 命令/未定義命令(H' FFFD)使用上の注意(TN-SH7-456A)
- ・消費電流に関する注意事項(TN-SH7-455A)
- ・SH7750R E10A エミュレータ、SH7751R E10A エミュレータにおける不具合とバージョンアップのご連絡(TN-EML-082A)
- ・高速 PC 上での E10A エミュレータ使用時における不具合のご連絡と対策方法(TN-EML-081A)

<エミュレータに関して>

- ・E10A/E10T/E6000/E8000 エミュレータの Windows2000 用 PCMCIA および PCI ドライバの不具合について(TN-EML-096A)
- ・SH7750R E10A エミュレータ、SH7751R E10A エミュレータにおける不具合とバージョンアップのご連絡(TN-EML-082A)
- ・高速 PC 上での E10A エミュレータ使用時における不具合のご連絡と対策方法(TN-EML-081A)

[目次]

1.	システム構成	1
2.	部品配置図	2
3.	セットアップ方法	3
3.1.	電源接続	3
3.2.	HUDIインタフェースを使用したエミュレータの接続	4
3.3.	AUDインタフェースを使用したエミュレータの接続	4
3.4.	シリアルケーブルの接続	6
3.5.	USBケーブルの接続(USBファンクションデバイス)	6
3.6.	LANケーブルの接続	7
3.7.	RJ11モジュラケーブルの接続	8
3.8.	コンパクトフラッシュの接続	8
3.9.	PCMCIAカードの接続	10
4.	スイッチ機能説明	13
4.1.	電源スイッチ	13
4.2.	リセットスイッチ	13
4.3.	モード設定用スイッチ	13
4.4.	デバッグ用DIPスイッチ	13
4.5.	ジャンパピン機能説明	14
5.	LED機能説明	14
5.1.	ETHER.NET HUB用LED	14
5.2.	デバッグ用LED	14
6.	リセット信号について	15
6.1.	パワーオンリセット	15
6.2.	システムリセット	16
6.3.	マニュアルリセット	16
7.	メモリマップ	17
8.	各エリアの概要	19
8.1.	SHバスエリア	19
8.1.1.	エリア0	19
8.1.2.	エリア1	19
8.1.3.	エリア2	19

8.1.4.	エリア3	19
8.1.5.	エリア4	19
8.1.6.	エリア5	19
8.1.7.	エリア6	19
8.2.	PCIエリア	20
9.	FPGA仕様	21
9.1.	FPGA ピン配置と機能	21
9.2.	FPGA 機能仕様	25
9.2.1.	SH4割込みコントローラ	26
9.2.2.	SLIC用PIO制御	32
9.2.3.	DMA制御	33
9.2.4.	PIO制御	34
9.2.5.	FPGA バージョン情報取得	35
10.	SH7751R 設定例	40
10.1.	CPG 設定	40
10.2.	BSC 設定	41
10.2.1.	BCR1 の設定	42
10.2.2.	BCR2 の設定	42
10.2.3.	BCR3 の設定	43
10.2.4.	BCR4 の設定	43
10.2.5.	WCR1 の設定	44
10.2.6.	WCR2 の設定	45
10.2.7.	WCR3 の設定	45
10.2.8.	MCR の設定	46
10.2.9.	PCR の設定	46
10.2.10.	RTCSR の設定	47
10.2.11.	RTCOR の設定	47
10.2.12.	SDMR3 の設定	47
10.3.	PTEA 設定	48

1. システム構成

図1-1に HS7751RVoIP-2.1 のシステム構成を示します。

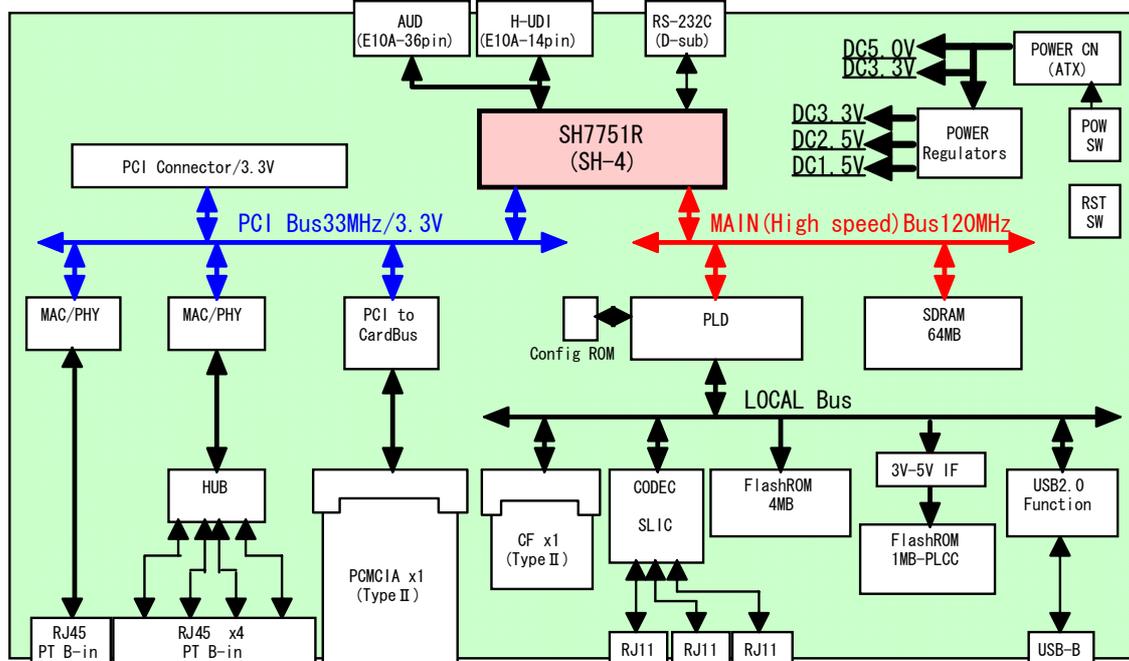


図 1 - 1 HS7751RVoIP-2.1 システムブロック図

表 1 - 1 HS7751RVoIP-2.1 主要部品一覧

項番	デバイス名	メーカー名	機能	ホームページ
1	HD6417751RBP240	(株)ルネサステクノロジ	メインCPU	http://www.renesas.com/
2	CY7C68001-56PVC	Cypress Semiconductor Corp.	USB2.0(ファンクション)	http://www.cypress.com/
3	EPF10K30EQC208-3	ALTERA Corp.	ハスタミング、割込み制御等	http://www.altera.co.jp/
4	AD1845JST	Analog Devices,Inc.,	Codec	http://www.analog.co.jp/
5	PCI1520GHK	Texas Instruments Corp.	PCI-Cardbusブリッジ	http://www.tij.co.jp/
6	RTL8139DL	Realtek Semiconductor Corp.	ETHERNET	http://www.realtek.com.tw/
7	RTL8305S	Realtek Semiconductor Corp.	ETHERNET_HUB	http://www.realtek.com.tw/
8	HY57V561620BT-H	Hynix Semiconductor Inc.,	32MByte-SDRAM	http://www.heacom/
9	MBM29DL322TE90TN	富士通デバイス(株)	4MByte-FlashROM	http://www.fdi.co.jp/
10	MBM29F040-90PD	富士通デバイス(株)	0.5MByte-FlashROM	http://www.fdi.co.jp/

2. 部品配置図

図2-1に HS7751RVoIP-2.1 の部品配置を示します。

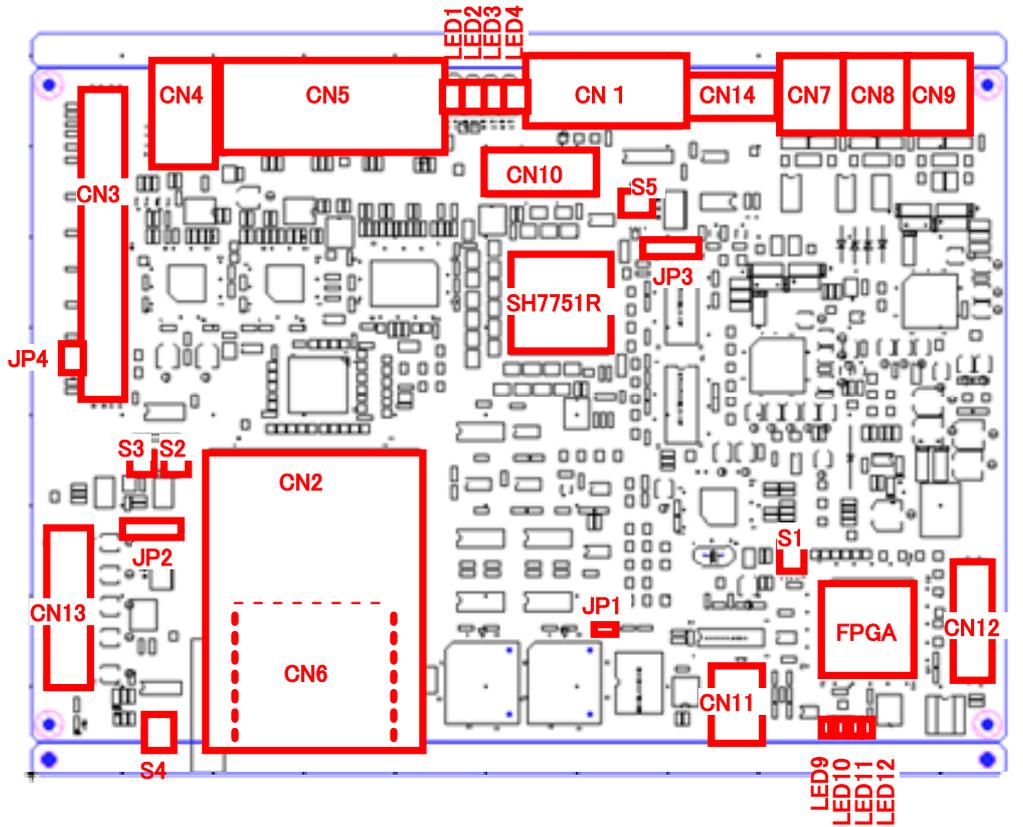


図 2 - 1 HS7751RVoIP-2.1 部品配置

表 2 - 1 HS7751RVoIP-2.1 コネクタ及びスイッチ一覧

リファレンス	仕様	備考	リファレンス	仕様	備考
CN1, CN14	エミュレータ接続コネクタ		CN13	電源コネクタ	ATX仕様
CN2	PCMCIAカードスロット		S1	デバッグ用DIPスイッチ	
CN3	PCIカードスロット(3.3V)		S2	システムリセット	
CN4	ETHERNETコネクタ		S3	SHマニュアルリセット	
CN5	ETHERNET_HUBコネクタ	4ポート	S4	電源投入スイッチ	
CN6	CFカードスロット		S5	SHモード設定スイッチ	
CN7- CN9	モジュラーコネクタ		J1	FROMライトポート	
CN10	シリアルケーブルコネクタ	SH4-SCIF	J2, 3	電流測定用	
CN11	USBコネクタ		J4	PCIスロット電源選択	PCIO
CN12	FPGA書き込みコネクタ	JTAG IF			

3. セットアップ方法

3.1. 電源接続

CN13はATX規格準拠の電源コネクタです。HS7751RVoIP-2.1 にはCN13から電源を供給します。市販の PC 用電源を接続して使用してください。

ピン配置仕様は以下の通りです。

コネクタ型名 : 5566-20A メーカー名 : Molex			
ピン番	信号名	機能	備考
1	+3.3V	+3.3V供給	
2	+3.3V	+3.3V供給	
3	GND	グラウンド	
4	+5.0V	+5.0V供給	
5	GND	グラウンド	
6	+5.0V	+5.0V供給	
7	GND	グラウンド	
8	NC	未使用	(P_OK)
9	+5.0VSB	スタンバイ電源	
10	+12.0V	+12.0V供給	
11	+3.3V	+3.3V供給	
12	-12.0V	-12.0V供給	未使用
13	GND	グラウンド	
14	PS_ON	パワースイッチ入力	
15	GND	グラウンド	
16	GND	グラウンド	
17	GND	グラウンド	
18	-5.0V	-5.0V供給	未使用
19	+5.0V	+5.0V供給	
20	+5.0V	+5.0V供給	

3.2. HUDIインタフェースを使用したエミュレータの接続

CN1はエミュレータ接続用コネクタです。HUDIインタフェースをサポートしています。(株)ルネサステクノロジ製E10A、日立超LSIシステムズ(株)製MY-ICE EZ II等のHUDIケーブルインタフェースに準拠しています。

ピン配置仕様は以下の通りです。

コネクタ型名:FAP14-08#2-0BS メーカー名:山一電機			
ピン番	信号名	機能	備考
1	TCK	クロック	
2	TRSTn	リセット	
3	TDO	データ出力	
4	ASEBRKn	ブレーク信号	
5	TMS	モード選択	
6	TDI	データ入力	
7	RESETn	ユーザリセット入力	
8	GND	グラウンド	
9	GND	グラウンド	
10	GND	グラウンド	
11	NC	未接続	
12	GND	グラウンド	
13	GND	グラウンド	
14	GND	グラウンド	

3.3. AUDインタフェースを使用したエミュレータの接続

CN14はエミュレータ接続用コネクタです。AUDインタフェースをサポートしています。(株)ルネサステクノロジ製E10A、日立超LSIシステムズ(株)製MY-ICE EZ II等のAUDケーブルインタフェースに準拠しています。

ピン配置仕様は以下の通りです。

コネクタ型名:DX10-36S メーカー名:ヒロセ電機			
ピン番	信号名	機能	備考
1	AUDCK	AUDクロック	
2	GND	グラウンド	
3	AUDATA0	AUD データ 0	
4	GND	グラウンド	

【次ページへ続く】

【前ページからの続き】

ピン番	信号名	機能	備考
5	AUDATA1	AUD データ 1	
6	GND	グラウンド	
7	AUDATA2	AUD データ 2	
8	GND	グラウンド	
9	AUDATA3	AUD データ 3	
10	GND	グラウンド	
11	AUDSYNCn	AUD 同期信号	
12	GND	グラウンド	
13	NC	未接続	
14	GND	グラウンド	
15	NC	未接続	
16	GND	グラウンド	
17	TCK	クロック	
18	GND	グラウンド	
19	TMS	モードセレクト	
20	GND	グラウンド	
21	TRSTn	リセット	
22	GND	グラウンド	
23	TDI	データ入力	
24	GND	グラウンド	
25	TDO	データ出力	
26	GND	グラウンド	
27	ASEBRKn	ブレーク信号	
28	GND	グラウンド	
29	NC	未接続	
30	GND	グラウンド	
31	RESETn	ユーザリセット	
32	GND	グラウンド	
33	GND	グラウンド	
34	GND	グラウンド	
35	NC	未接続	
36	GND	グラウンド	

3.4. シリアルケーブルの接続

CN10はシリアルケーブル接続用コネクタです。SH4内蔵のSCIFを使用しています。RS-232トランシーバはMAXIM社製MAX3233ECWPを使用しています。SCI通信を115.2Kbpsに設定するために外部から1.8432MHzを入力しています。

ピン配置仕様は以下の通りです。

コネクタ型名: メーカー名:			
ピン番	信号名	機能	備考
1	NC	未接続	
2	RD	データ受信	
3	TD	データ送信	
4	DTR	データ端末レディ	DSRとショート
5	GND	グラウンド	
6	DSR	データセットレディ	DTRとショート
7	RTS	送信要求	
8	CTS	送信可	
9	NC	未接続	

3.5. USBケーブルの接続(USBファンクションデバイス)

CN11はUSBケーブル接続用コネクタです。Cypress社製CY7C68001を使用しています。USB2.0規格に準拠しています。

ピン配置仕様は以下の通りです。

コネクタ型名: 67068-0001 メーカー名: Molex			
ピン番	信号名	機能	備考
1	VBUS	5.0V 入力	
2	D-	D-	
3	D+	D+	
4	GND	グラウンド	

3.6. LANケーブルの接続

CN4はEtherケーブル接続用コネクタです。REALTEK社製RTL8139DLを使用しています。

ピン配置仕様は以下の通りです。

コネクタ型名:NU1S041C-434 メーカー名:BOTHHAND			
ピン番	信号名	機能	備考
1	RxIN+	データ受信(+)	
2	RxIN-	データ受信(-)	
3	TxOUT+	データ送信(+)	
4	GND	グラウンド	
5	NC	未接続	
6	TxOUT-	データ送信(-)	
7	NC	未接続	
8	NC	未接続	

CN5はEtherケーブル接続用コネクタです。4chサポートしています。

REALTEK社製RTL8305Sを使用し、Hub機能を実現しています。

ピン配置仕様は以下の通りです。

コネクタ型名:LU4S041C メーカー名:BOTHHAND			
ピン番	信号名	機能	備考
1	RxIN+	データ受信(+)	
2	RxIN-	データ受信(-)	
3	TxOUT+	データ送信(+)	
4	GND	グラウンド	
5	NC	未接続	
6	TxOUT-	データ送信(-)	
7	GND	グラウンド	
8	NC	未接続	

3.7. RJ11モジュラケーブルの接続

ピン配置仕様は以下の通りです。

コネクタ型名:52830-6645 メーカー名:Molex			
ピン番	信号名	機能	備考
1	NC	未接続	
2	NC	未接続	
3	VBL	音声出力(L)	
4	VBH	音声出力(H)	
5	NC	未接続	
6	NC	未接続	

3.8. コンパクトフラッシュの接続

CN6は、コンパクトフラッシュカードスロットです。

ピン配置仕様は以下の通りです。

コネクタ型名:ICM-MA2H-SS52-N11B メーカー名:日本圧着端子工業			
ピン番	信号名	機能	備考
1	GND	グラウンド	
2	D3	データバス	
3	D4	データバス	
4	D5	データバス	
5	D6	データバス	
6	D7	データバス	
7	-CE1	カードイネーブル	
8	A10	アドレスバス	
9	-OE	アウトプットイネーブル	
10	A9	アドレスバス	
11	A8	アドレスバス	
12	A7	アドレスバス	
13	Vcc	電源	
14	A6	アドレスバス	
15	A5	アドレスバス	
16	A4	アドレスバス	
17	A3	アドレスバス	

【次ページへ続く】

【前ページからの続き】

ピン番	信号名	機能	備考
18	A2	アドレスバス	
19	A1	アドレスバス	
20	A0	アドレスバス	
21	D0	データバス	
22	D1	データバス	
23	D2	データバス	
24	-IOIS16	16ビットI/O	
25	-CD1	カード検出	
26	-CD2	カード検出	
27	D11	データバス	
28	D12	データバス	
29	D13	データバス	
30	D14	データバス	
31	D15	データバス	
32	-CE2	カードイネーブル	
33	-VS1	電圧検出	
34	-IORD	I/O リード	
35	-IOWR	I/O ライト	
36	-WE	ライトイネーブル	
37	IREQ	割込み要求	
38	Vcc	電源	
39	-CSEL	ケーブルセレクト	
40	-VS2	電圧検出	
41	RESET	リセット	
42	-WAIT	ウェイト	
43	-INPACK	入力ポートアクノリッジ	
44	-REG	レジスタセレクト	
45	-SPKR	オーディオ出力	
46	-STSCHG	ステータス変化	
47	D8	データバス	
48	D9	データバス	
49	D10	データバス	
50	GND	グラウンド	

3.9. PCMCIAカードの接続

CN2はPCMCIAカードスロットです。テキサスインスツルメント社製 CardBus コントローラ PCI1520GHK を使用し、SH7751R の PCI バスに接続しています。ピン配置仕様は以下の通りです。(ピン仕様はPCカード時の仕様です)

コネクタ型名:ICM-CB68H-S112-502N メーカー名:日本圧着端子工業			
ピン番	信号名	機能	備考
1	GND	グラウンド	
2	D3	データバス	
3	D4	データバス	
4	D5	データバス	
5	D6	データバス	
6	D7	データバス	
7	-CE1	カードイネーブル	
8	A10	アドレスバス	
9	-OE	アウトプットイネーブル	
10	A11	アドレスバス	
11	A9	アドレスバス	
12	A8	アドレスバス	
13	A13	アドレスバス	
14	A14	アドレスバス	
15	-WE	ライトイネーブル	
16	-IREQ	割込み要求	
17	Vcc	電源	
18	Vpp1	プログラミング電源	
19	A16	アドレスバス	
20	A15	アドレスバス	
21	A12	アドレスバス	
22	A7	アドレスバス	
23	A6	アドレスバス	
24	A5	アドレスバス	
25	A4	アドレスバス	
26	A3	アドレスバス	
27	A2	アドレスバス	
28	A1	アドレスバス	

【次ページへ続く】

【前ページからの続き】

ピン番	信号名	機能	備考
29	A0	アドレスバス	
30	D0	データバス	
31	D1	データバス	
32	D2	データバス	
33	-IOIS16	16ビットI/Oポート	
34	GND	グラウンド	
35	GND	グラウンド	
36	-CD1	カード検出	
37	D11	データバス	
38	D12	データバス	
39	D13	データバス	
40	D14	データバス	
41	D15	データバス	
42	-CE2	カードイネーブル	
43	-VS1	電圧検出	
44	-IORD	I/O リード	
45	-IOWR	I/O ライト	
46	A17	アドレスバス	
47	A18	アドレスバス	
48	A19	アドレスバス	
49	A20	アドレスバス	
50	A21	アドレスバス	
51	Vcc	電源	
52	Vpp2	プログラミング電源	
53	A22	アドレスバス	
54	A23	アドレスバス	
55	A24	アドレスバス	
56	A25	アドレスバス	
67	-VS2	電圧検出	
58	RESET	リセット	
59	-WAIT	ウェイト	
60	-INPACK	入力ポートアクノリッジ	

【次ページへ続く】

【前ページからの続き】

ピン番	信号名	機能	備考
61	-REG	レジスタセレクト	
62	-SPKR	オーディオ出力	
63	-STSCHG	ステータス変化	
64	D8	データバス	
65	D9	データバス	
66	D10	データバス	
67	-CD2	カード検出	
68	GND	グラウンド	

4. スイッチ機能説明

4.1. 電源スイッチ

S4は電源スイッチです。電源投入時に使用します。

電源遮断はS1-1のトグル動作、又はFPGAのPOWER_OFF制御ビットにより実現します。(FPGA仕様参照)

4.2. リセットスイッチ

S2、S3はリセットスイッチです。

S2はシステムリセット用、S3はCPUのマニュアルリセット用スイッチです。

4.3. モード設定用スイッチ

S5は SH7751R のモード設定用スイッチです。各スイッチの割り振りは以下の通りです。

スイッチ	モード端子	ON	OFF
S5-1	M5	L	H
S5-2	M2	L	H
S5-3	M1	L	H
S5-4	M0	L	H

4.4. デバッグ用DIPスイッチ

S1はデバッグ用スイッチです。ボードのデバッグに使用します。

S1-1については、電源制御に使用します。ボード動作時に設定を変更すると、ボードの電源を遮断しますのでご注意ください。

トグル動作にてボード電源を OFF します。

S1-2についてはソフトの起動立ち上げの手動(コマンド入力)または自動の選択用で OFF=手動 ON=自動としています。

S1-3~4はデバッグ用です。

スイッチ	ON	OFF
S1-1~4	L	H

4.5. ジャンパピン機能説明

以下に各ジャンパピンの機能について示します。

ジャンパピン	機能	仕様
JP1	FROM (M5) のライトプロテクト	オープン: 通常動作 / ショート: ブートブロックライトプロテクト
JP4	PCIコネクタへのIO電源供給	1-2ショート: 5.0V / 2-3ショート: 3.3V (デフォルト)

5. LED機能説明

以下に各LEDの機能について示します。

5.1. ETHER.NET HUB用LED

LED	表示色	機能
LED1	赤	Speed100
	緑	Link+Activity
LED2	赤	Speed100
	緑	Link+Activity
LED3	赤	Speed100
	緑	Link+Activity
LED4	赤	Speed100
	緑	Link+Activity

5.2. デバッグ用LED

LED9~12はデバッグ用LEDです。FPGAの汎用出力ポートで制御可能です。

アドレス: 0Eh 対応ビット: Bit0~3

LED	Bit	0	1
LED9	0	OFF	ON
LED10	1	OFF	ON
LED11	2	OFF	ON
LED12	3	OFF	ON

6. リセット信号について

HS7751RVoIP のリセット信号について説明します。リセット信号は、以下の様に配線しています。

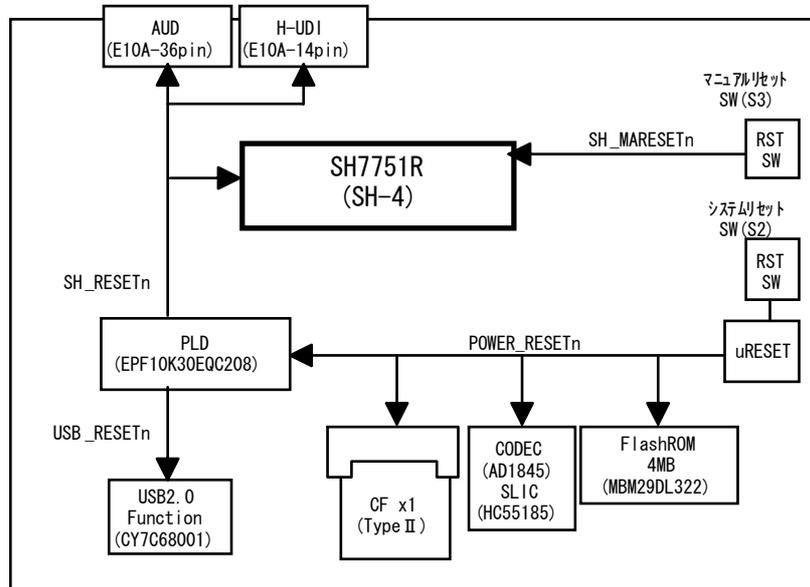


図 6 - 1 リセット信号配線図

6.1. パワーオンリセット

パワーオンリセットは、SH バスに接続するデバイスにリセット信号を入力します。LMS1585 から取り出した 3.3V を基準に電源電圧が 2.93V 以下の時リセットパルスが発生します。(MAX825SEUK を使用)

HS7751RVoIP-2.1 では、パワーオン時に FPGA の Configuration を行うため、メイン CPU に入力するリセットパルスについては、FPGA の Config 終了後入力するように構成しています。

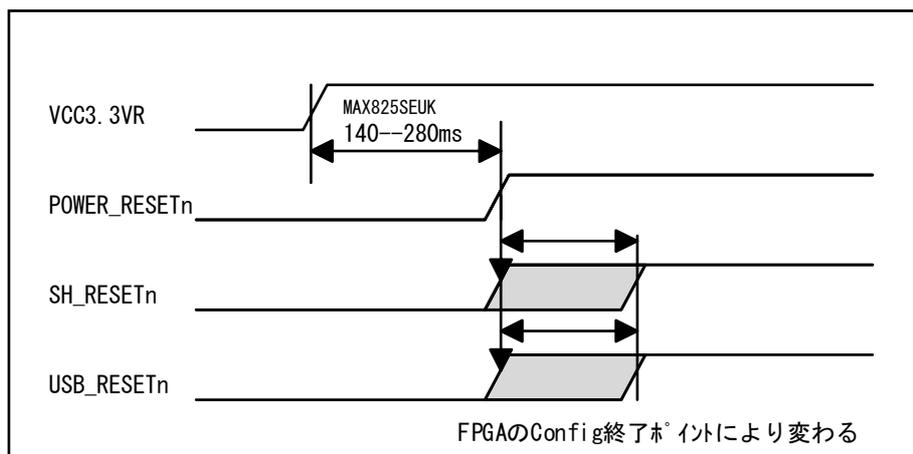


図 6 - 2 パワーオンリセットシーケンス

6.2. システムリセット

S2によりシステムリセットを行います。システムリセットでは各デバイスに同タイミングでリセットパルスを発生します。

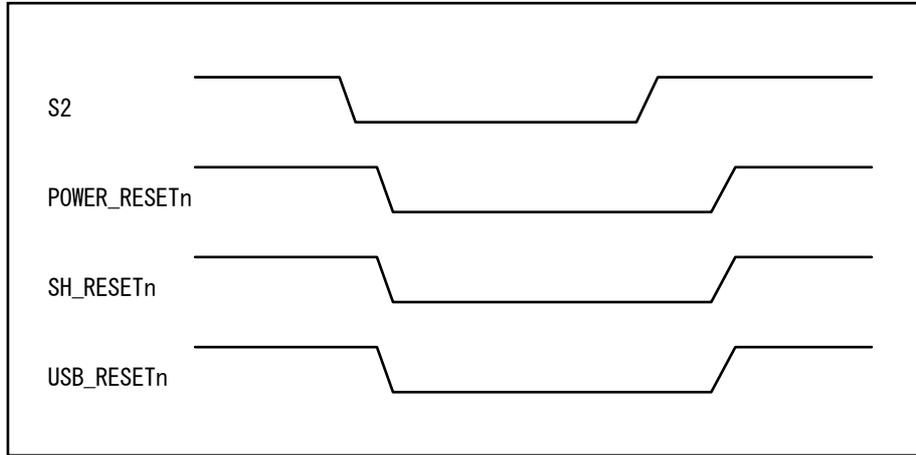


図 6-3 システムリセットシーケンス

6.3. マニュアルリセット

S3によりマニュアルリセットをSH7751Rに入力します。他デバイスのリセットは行いません。

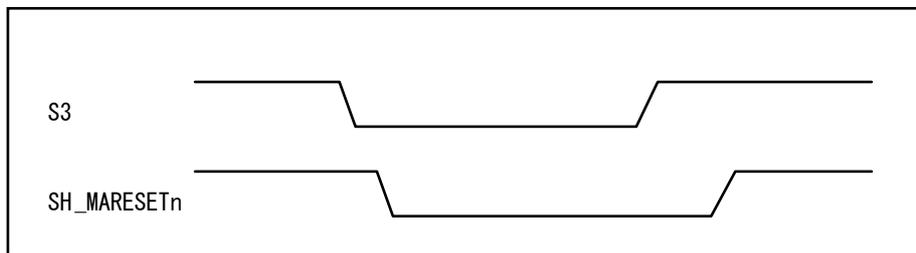


図 6-4 マニュアルリセットシーケンス

7. メモリマップ

HS7751RVoIP-2.1 のメモリマップを表 4-1-1 に示します。

表 4-1-1 HS7751RVoIP-2.1 メモリマップ

エリア	空間名	バス幅	アドレス	デバイス	備考
0	FROM エリア	16ビット	0000 0000 ~ 000F FFFF	MBM29F040-90PD	
			0010 0000 ~ 03FF FFFF	MBM29F040 シャド-	
1	FPGA エリア	16ビット	0400 0000 ~ 0400 000E	EPF10K30EQC208-3	
			0400 0010 ~ 043F FFFF	EPF10K30EQC208 シャド-	
	FROM エリア		0440 0000 ~ 0447 FFFF	MBM29DL322TE90TN	
			0448 0000 ~ 07FF FFFF	MBM29DL322TE シャド-	
2	未使用	-	-	-	-
3	SDRAM エリア	32ビット	0C00 0000 ~ 0FFF FFFF	HY57V561620BT-H x 2	

【次ページへ続く】

【前ページからの続き】

エリア	空間名	バス幅	アドレス	デバイス	備考
4	USB エリア	16ビット	1000 0000 ~	CY7C68001-56PVC	
5	CF エリア	16ビット	1400 0000 ~		
6	CODEC エリア	8ビット	1800 0000 ~	AD1845JST	

8. 各エリアの概要

8.1. SHバスエリア

SH バスエリアの説明を示します。SH バスの設定に関しては、SH7751R 設定例を参考にしてください。

8.1.1. エリア0

エリア0は FROM エリアです。MBM29F040 を配置しています。

バス幅は 16 ビットです。

8.1.2. エリア1

エリア 1 は FPGA エリアです。SH4 割込みコントローラ、SLIC用IO制御、DMA制御、PIO制御を行うために8種類のレジスタを準備しています。FPGA の仕様については FPGA 使用を参照ください。

また、SH7751R-A22 をデコードして MBM29DL322TE を配置しています。

バス幅は 16 ビットです。

8.1.3. エリア2

未使用エリアです。

8.1.4. エリア3

エリア 3 は SDRAM エリアです。64Mバイト使用します。バス幅は 32 ビットです。

8.1.5. エリア4

エリア 4 は USB エリアです。DMA 制御については、FPGA で制御しています。

バス幅は 16 ビットです。

8.1.6. エリア5

エリア 5 はコンパクトフラッシュエリアです。SH7751R の BCR1(バーステートコントローラ 1)A56PCM ビットに”1”を設定し、PCMCIA モードにしてください。

8.1.7. エリア6

エリア 6 は CODEC エリアです。SH7751R の BCR1(バーステートコントローラ 1)A56PCM ビットに”1”を設定し、PCMCIA モードにしてください。

8.2. PCIエリア

HS7751RVoIP-2.1 の PCI バスには、下記デバイスを接続しています。また、PCI スロットを1個搭載しています。

PCI スロットは 5.0V カードエッジタイプですが、VIO は 3.3V 仕様としています。

PCI バス制御方法については、SH7751 シリーズハードウェアマニュアル(ADJ-602-215A)を参照ください。

各デバイス番号(DEVNO)は以下の通りです。

DEVNO	デバイス	メーカー	機能	備考
H'0	拡張スロット	-	PCI カード	
H'1	PCI1520GHK	Texas Instruments Corp.	PCI-Cardbusブリッジ	
H'2	RTL8139DL	Realtek Semiconductor Corp.	ETHERNET	
H'3	RTL8139DL	Realtek Semiconductor Corp.	ETHERNET_HUB	RTL8305S

9. FPGA仕様

9.1. FPGAピン配置と機能

FPGAは、ALTERA社製 EPF10K30EQC208-3を使用します。図9-1にFPGAブロック図を示します。表9-1にピン配置を示します。未使用ピン、電源ピンについては割愛いたします。

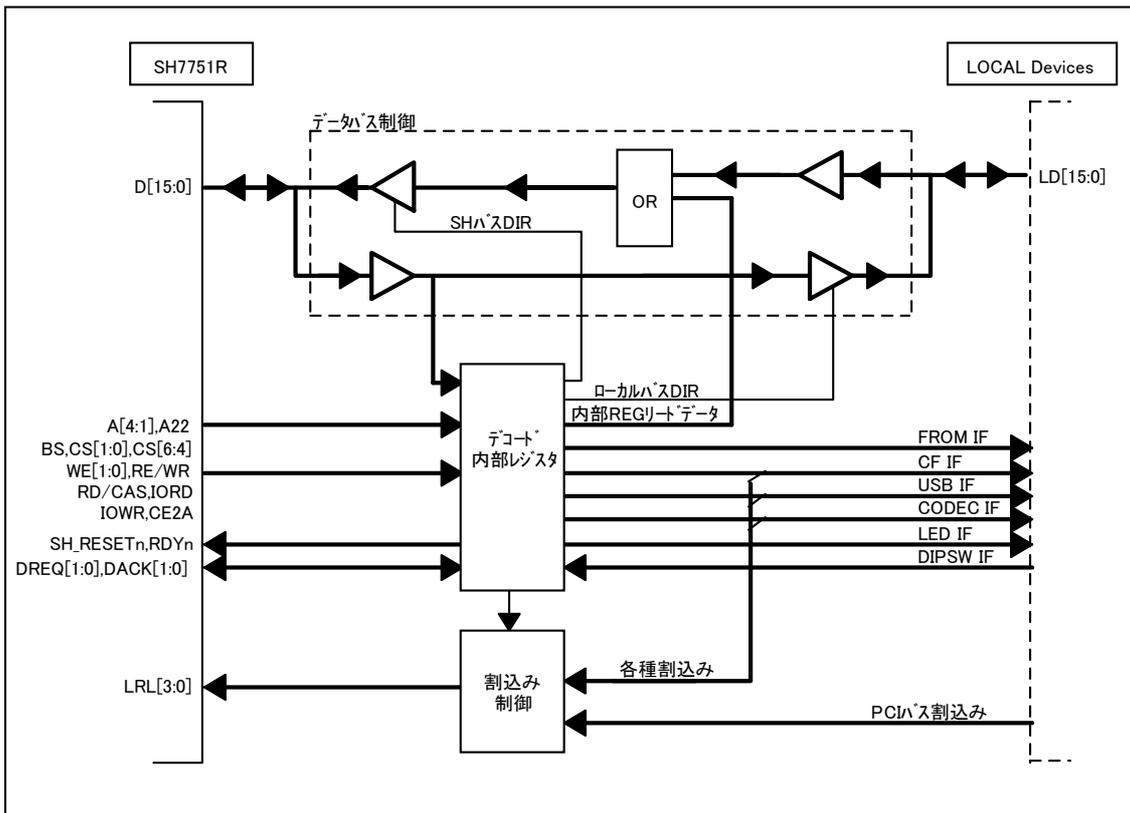


図 9 - 1 FPGA ブロック図

表 9 - 1 FPGA ピン配置

ピン番	名称	I/O	機能	ピン番	名称	I/O	機能
7	CS0n	I	チップ選択 0	41	D3	I/O	データバス
8	CS4n	I	チップ選択 4	44	D4	I/O	データバス
9	CS5n	I	チップ選択 5	45	D5	I/O	データバス
10	CS6n	I	チップ選択 6	46	D6	I/O	データバス
11	BSn	I	バスステート	47	D7	I/O	データバス
12	RD/WRn	I	読出し/書込み	53	D8	I/O	データバス
13	WE0n	I	ライトイネーブル	54	D9	I/O	データバス
14	WE1n	I	ライトイネーブル	55	D10	I/O	データバス
15	A22	I	アドレスバス	56	D11	I/O	データバス
16	A14	I	アドレスバス	57	D12	I/O	データバス
17	A13	I	アドレスバス	58	D13	I/O	データバス
18	A12	I	アドレスバス	60	D14	I/O	データバス
19	A11	I	アドレスバス	61	D15	I/O	データバス
24	A4	I	アドレスバス	62	IRL0n	O	割り込み0
25	A3	I	アドレスバス	63	IRL1n	O	割り込み1
26	A2	I	アドレスバス	64	IRL2n	O	割り込み2
27	A1	I	アドレスバス	65	IRL3n	O	割り込み3
28	RDYn	O	SH ウェイト要求	67	LD0	I/O	ローカルデータバス
29	IORDn	I	PCMCIA IO リード	68	LD1	I/O	ローカルデータバス
30	IOWRn	I	PCMCIA IO ライト	69	LD2	I/O	ローカルデータバス
31	CE2An	I	PCMCIA イネーブル	70	LD3	I/O	ローカルデータバス
36	DREQ0n	O	USB DMA 転送要求	71	LD4	I/O	ローカルデータバス
37	DREQ1n	O	CODEC DMA 転送要求	73	LD5	I/O	ローカルデータバス
38	D0	I/O	データバス	74	LD6	I/O	ローカルデータバス
39	D1	I/O	データバス	75	LD7	I/O	ローカルデータバス
40	D2	I/O	データバス	78	RESETn	I	POWER ON リセット

【次ページへ続く】

【前ページからの続き】

ピン番	名称	I/O	機能	ピン番	名称	I/O	機能
79	CLK	I	FPGA マスターCLK	127	CODEC_PDREQ	I	再生モードDMA要求
83	LD8	I/O	ローカルデータバス	128	CODEC_CDREQ	I	録音モードDMA要求
85	LD9	I/O	ローカルデータバス	131	CODEC_PDACKn	O	再生モードDMA認識
86	LD10	I/O	ローカルデータバス	132	CODEC_CDACKn	O	録音モードDMA認識
87	LD11	I/O	ローカルデータバス	133	SLIC_VRS1	I	9.22SLICCONTR1参照
88	LD12	I/O	ローカルデータバス	134	SLIC_BSEL1	I	9.22SLICCONTR1参照
89	LD13	I/O	ローカルデータバス	135	SLIC_ALM1n	O	9.22SLICCONTR1参照
90	LD14	I/O	ローカルデータバス	136	SLIC_DET1n	O	9.22SLICCONTR1参照
92	LD15	I/O	ローカルデータバス	139	SLIC_E01	I	9.22SLICCONTR1参照
93	CF_CE0n	O	CF チップ選択0	140	SLIC_F01	I	9.22SLICCONTR1参照
94	CF_CE1n	O	CF チップ選択1	141	SLIC_F11	I	9.22SLICCONTR1参照
95	CF_WRn	O	CF ライトイネーブル	142	SLIC_F12	I	9.22SLICCONTR1参照
96	CF_RDn	O	CF リードイネーブル	143	SLIC_VRS2	I	9.22SLICCONTR1参照
97	CF_IOWn	O	CFIOライトイネーブル	144	SLIC_BSEL2	I	9.22SLICCONTR1参照
99	CF_IORn	O	CFIOリードイネーブル	147	SLIC_ALM2n	O	9.22SLICCONTR1参照
100	CF_WAITn	I	CFウェイト	148	SLIC_DET2n	O	9.22SLICCONTR1参照
101	CF_REG	O	アトリビュートMM選択	149	SLIC_E02	I	9.22SLICCONTR1参照
102	FROM_CS0n	O	FORM チップ選択0	150	SLIC_F02	I	9.22SLICCONTR1参照
103	FROM_CS1n	O	FROM チップ選択1	157	SLIC_F12	I	9.22SLICCONTR1参照
104	FROM_WRn	O	FROM ライトイネーブル	158	SLIC_F22	I	9.22SLICCONTR1参照
111	FROM_RDn	O	FROM ライトイネーブル	159	IP_MODE	O	9.22SLICCONTR2参照
112	USB_FLAGA	I	USBフラッグA	160	PSTN_RING	I	9.22SLICCONTR2参照
113	USB_FLAGB	I	USBフラッグB	161	PSTN_OFF_HOOK	I	9.22SLICCONTR2参照
114	USB_FLAGC	I	USBフラッグC	162	CF_INTn	I	CFカード割り込み
115	USB_CSn	O	USBチップ選択	163	USB_INTn	I	USB割り込み
116	USB_SLRDn	O	USBリードイネーブル	164	CODEC_INT	I	CODEC割り込み
119	USB_SLOEn	O	USB出カイネーブル	169	PCI_INTAn	I	PCIBUS割り込み
120	USB_SLWRn	O	USBライトイネーブル	170	PCI_INTBn	I	PCICARD割り込み
121	USB_READY	I	コマンドライトレディ	172	PCI_INTCn	I	ETHERNET割り込み
122	CODEC_CSn	O	CODECチップ選択	173	PCI_INTDn	I	ETH_HUB割り込み
125	CODEC_WRn	O	ライトイネーブル	174	USB_VBUS	I	USB接/断割り込み
126	CODEC_RDn	O	リードイネーブル	175	USB_RESETn	O	USB ICリセット

【次ページへ続く】

【前ページからの続き】

ピン番	名称	I/O	機能	ピン番	名称	I/O	機能
176	SH_RESETn	O	SH リセット	196	PCI_PRSTn	I	PCIカード検出
177	POWER_OFFn	O	電源OFF	197	CF_TUREMODEP	O	CF TUREDE モード
182	SH_DACK0	I	USB DMA バス認識	198	CF_RESET	O	CF リセット
184	SH_DACK1	I	CODEC DMAバス認識	200	FPGA_ENn	O	FPGA データバスイネーブル
186	DIPSW0	I	S1スイッチ0認識	202	LED0	O	LED9制御
187	DIPSW1	I	S1スイッチ1認識	203	LED1	O	LED10制御
189	DIPSW2	I	S1スイッチ2認識	204	LED2	O	LED11制御
190	DIPSW3	I	S1スイッチ3認識	205	LED3	O	LED12制御
191	CF_AD0	O	CF アドレスバス0	206	A0	I	アドレスバス
192	CF_AD1	O	CF アドレスバス1	207	CS1n	I	チップ選択1
193	CF_AD2	O	CF アドレスバス2	208	RDn/CASn	I	リードイネーブル/CAS
199	PCICARDINTn	I	PCI カードバス割り込み				

9.2. FPGA 機能仕様

FPGAにて、以下の機能を実現しています。

- 1) アドレスデコード
- 2) 周辺デバイスタイミング調整
- 3) SH4割込みコントローラ
- 4) SLIC用IO制御
- 5) DMA制御
- 6) PIO制御
- 7) FPGAバージョン情報

本章では、特に3)～7)について説明します。

表 9 - 2 FPGA 内部レジスタ一覧

No.	レジスタ名	レジスタ略名	bit	初期値	R/W	アドレス
1	割込み制御 1	IRCNTR1	16	H' 3210	R/W	H' 04000000
2	割込み制御 2	IRCNTR2	16	H' 7654	R/W	H' 04000002
3	割込み制御 3	IRCNT3R	16	H' 0000	R/W	H' 04000004
4	SLIC 制御 1	SLICNTR1	16	H' C0C0	R/W	H' 04000006
5	SLIC 制御 2	SLICNTR2	16	H' 0000	R/W	H' 04000008
6	DMA 制御	DMACNTR	16	H' 0000	R/W	H' 0400000A
7	汎用入力	INPORTR	16	H' 003x	R/W	H' 0400000C
8	汎用出力	OUTPORTR	16	H' 0030	R/W	H' 0400000E
9	割込み制御 4	IRCNTR4	16	H' 00D8	R/W	H' 04000010
10	割込み制御 5	IRCNTR5	16	H' CBA9	R/W	H' 04000012
11	Ver 情報	VERREG	16	H' 00xx	R	H' 04000014

9.2.1. SH4割込みコントローラ

本レジスタにてSH4の割込みの設定を行います。レジスタの構成は以下の通りです。

尚、デフォルトの割込みグループは以下のように設定しています。

表 9 - 3 割込みレベルデフォルト値

No.	割込みグループ No.	割込み信号	初期割込み レベル IRL(3:0)n	割込み優先順位	備考
1	0	PCIBUSINTC	H' 0	1	ETHERNET
2	1	PCIBUSINTD	H' 1	2	ETHERNET_HUB
3	2	USBINT	H' 2	3	USB
4	3	USBVBUS	H' 3	4	USB_VBUS(USB 接続/切断) 両エッジ割込み
5	4	USB_FLAGA or B	H' 4	5	USB_DMA 転送
6	5	CFINT	H' 5	6	CF
7	6	PCIBUSINTB	H' 6	7	PCI_Cradbus
8	7	PCIBUSINTA	H' 7	8	PCI コネクタ
9	8	SLICDET1	H' 8	9	ON HOOK 検出割込み 1
10	9	SLICDET1n	H' 9	10	OFF HOOK 検出割込み 1
11	10	SLICDET2	H' A	11	ON HOOK 検出割込み 2
12	11	SLICDET2n	H' B	12	OFF HOOK 検出割込み 2
13	12	PSTNRING	H' C	13	Ringin 検出
14	13	CODECINT	H' D	14	Codec

アドレス: H'04000000 レジスタ名: 割り込み制御レジスタ 1(IRLCNTR1)			
ビット	レジスタ名	R/W	機能
b15	IRL3SEL3	R/W	割り込みグループ3の優先順位設定 (USBVBUS)
b14	IRL3SEL2	R/W	
b13	IRL3SEL1	R/W	
b12	IRL3SEL0	R/W	
b11	IRL2SEL3	R/W	割り込みグループ2の優先順位設定 (USBINT)
b10	IRL2SEL2	R/W	
b9	IRL2SEL1	R/W	
b8	IRL2SEL0	R/W	
b7	IRL1SEL3	R/W	割り込みグループ1の優先順位設定 (PCIBUSINTD)
b6	IRL1SEL2	R/W	
b5	IRL1SEL1	R/W	
b4	IRL1SEL0	R/W	
b3	IRL0SEL3	R/W	割り込みグループ0の優先順位設定 (PCIBUSINTC)
b2	IRL0SEL2	R/W	
b1	IRL0SEL1	R/W	
b0	IRL0SEL0	R/W	

アドレス: H' 04000002 レジスタ名: 割り込み制御レジスタ 2(IRLCNTR2)			
ビット	レジスタ名	R/W	機能
b15	IRL7SE3	R/W	割り込みグループ7の優先順位設定 (PCIBUSINTA)
b14	IRL7SEL2	R/W	
b13	IRL7SEL1	R/W	
b12	IRL7SEL0	R/W	
b11	IRL6SEL3	R/W	割り込みグループ6の優先順位設定 (PCIBUSINTB)
b10	IRL6SEL2	R/W	
b9	IRL6SEL1	R/W	
b8	IRL6SEL0	R/W	
b7	IRL5SE3	R/W	割り込みグループ5の優先順位設定 (CFINT)
b6	IRL5SEL2	R/W	
b5	IRL5SEL1	R/W	
b4	IRL5SEL0	R/W	
b3	IRL4SEL3	R/W	割り込みグループ4の優先順位設定 (USB_FLAGA or B)
b2	IRL4SEL2	R/W	
b1	IRL4SEL1	R/W	
b0	IRL4SEL0	R/W	

アドレス: H' 04000004 レジスタ名: 割り込み制御レジスタ 3(IRLCNTR3)			
ビット	レジスタ名	R/W	機能
b15-b14	—	R	未使用
b13	IRL13MASK	R/W	IRL13 割り込みマスク 0:割り込みマスク 1:割り込み許可
b12	IRL12MASK	R/W	IRL12 割り込みマスク 0:割り込みマスク 1:割り込み許可
b11	IRL11MASK	R/W	IRL11 割り込みマスク 0:割り込みマスク 1:割り込み許可
b10	IRL10MASK	R/W	IRL10 割り込みマスク 0:割り込みマスク 1:割り込み許可
b9	IRL9MASK	R/W	IRL9 割り込みマスク 0:割り込みマスク 1:割り込み許可
b8	IRL8MASK	R/W	IRL8 割り込みマスク 0:割り込みマスク 1:割り込み許可
b7	IRL7MASK	R/W	IRL7 割り込みマスク 0:割り込みマスク 1:割り込み許可
b6	IRL6MASK	R/W	IRL6 割り込みマスク 0:割り込みマスク 1:割り込み許可
b5	IRL5MASK	R/W	IRL5 割り込みマスク 0:割り込みマスク 1:割り込み許可
b4	IRL4MASK	R/W	IRL4 割り込みマスク 0:割り込みマスク 1:割り込み許可
b3	IRL3MASK	R/W	IRL3 割り込みマスク 0:割り込みマスク 1:割り込み許可
b2	IRL2MASK	R/W	IRL2 割り込みマスク 0:割り込みマスク 1:割り込み許可
b1	IRL1MASK	R/W	IRL1 割り込みマスク 0:割り込みマスク 1:割り込み許可
b0	IRL0MASK	R/W	IRL0 割り込みマスク 0:割り込みマスク 1:割り込み許可

アドレス: H' 04000010 レジスタ名: 割り込み制御レジスタ 4(IRLCNTR4)			
ビット	レジスタ名	R/W	機能
b15-b13	—	R	未使用
b12	IRL11REGRST	W	割り込みグループ11 割り込みレジスタリセット 1ライトでリセット
b11	IRL10REGRST	W	割り込みグループ10 割り込みレジスタリセット 1ライトでリセット
b10	IRL9REGRST	W	割り込みグループ9 割り込みレジスタリセット 1ライトでリセット
b9	IRL8REGRST	W	割り込みグループ8 割り込みレジスタリセット 1ライトでリセット
b8	IRL3REGRST	W	割り込みグループ3 割り込みレジスタリセット 1ライトでリセット
b7	IRL13SEL3	R/W	割り込みグループ13の優先順位設定 (CODECINT)
b6	IRL13SEL2	R/W	
b5	IRL13SEL1	R/W	
b4	IRL13SEL0	R/W	
b3	IRL8SEL3	R/W	割り込みグループ8の優先順位設定 (SLICDET1)
b2	IRL8SEL2	R/W	
b1	IRL8SEL1	R/W	
b0	IRL8SEL0	R/W	

アドレス: H'04000012 レジスタ名: 割り込み制御レジスタ 5(IRLCNTR5)			
ビット	レジスタ名	R/W	機能
b15	IRL12SEL3	R/W	割り込みグループ12の優先順位設定 (PSTNRING)
b14	IRL12SEL2	R/W	
b13	IRL12SEL1	R/W	
b12	IRL12SEL0	R/W	
b11	IRL11SEL3	R/W	割り込みグループ11の優先順位設定 (SLICDET2n)
b10	IRL11SEL2	R/W	
b9	IRL11SEL1	R/W	
b8	IRL11SEL0	R/W	
b7	IRL10SEL3	R/W	割り込みグループ10の優先順位設定 (SLICDET2)
b6	IRL10SEL2	R/W	
b5	IRL10SEL1	R/W	
b4	IRL10SEL0	R/W	
b3	IRL9SEL3	R/W	割り込みグループ9の優先順位設定 (SLICDET1n)
b2	IRL9SEL2	R/W	
b1	IRL9SEL1	R/W	
b0	IRL9SEL0	R/W	

HS7751RVoIP-2.1 では、以下の割込みが発生します。電源投入時の優先レベルは以下の通りです。

優先レベルを変更する場合は、上記割込み制御レジスタにレベルを設定します。

項番	割込みの種類	優先レベル(初期値)	備考
1	ETHERNET割込み	1	“L”レベル
2	ETHERNET_HUB割込み	2	“L”レベル
3	USB通信割込み	3	“L”レベル
4	USB接続割込み	4	両エッジ割込み
5	USBDMA 転送割込み	5	“L”レベル
6	CFカード割込み	6	IOカード仕様 “L”レベル
7	PCMCIA割込み	7	“L”レベル
8	PCI汎用カード割込み	8	“L”レベル
9	ON HOOK 検出割込み1	9	立上りエッジ
10	OFF HOOK 検出割込み1	10	立下りエッジ
11	ON HOOK 検出割込み2	11	立上りエッジ
12	OFF HOOK 検出割込み2	12	立下りエッジ
13	Ringing 検出	13	“H”レベル
14	CODEC割込み	14	“H”レベル

USB 接続割込みについては、両エッジで割込みが発生しますので、割込み発生後リセットレジスタで割込みを再度有効にしてください。

9.2.2. SLIC用PIO制御

本レジスタにてエリア6に配置したSLICの制御を行います。

アドレス:H' 04000006 レジスタ名:SLIC 制御レジスタ 1(SLICNTR1)			
ビット	レジスタ名	R/W	機能
b15	SLIC ALM2	R	TEL2 用 SLIC 温度異常アラーム出力
b14	SLIC DET2	R	TEL2 用 SLIC OFF-HOOK 検出出力
b13	SLIC VRS2	W	TEL2 用 SLIC Ringing 入力
b12	SLIC BSEL2	W	TEL2 用 SLIC バッテリ選択 0:Low バッテリ 1:High バッテリ
b11	SLIC F22	W	TEL2 用 SLIC オペレーティングモード制御ビット 2
b10	SLIC F12	W	TEL2 用 SLIC オペレーティングモード制御ビット 1
b9	SLIC F02	W	TEL2 用 SLIC オペレーティングモード制御ビット 0
b8	SLIC E02	W	TEL2 用 SLIC HOOK 検出モード制御
b7	SLIC ALM1	R	TEL1SLIC 温度異常アラーム出力
b6	SLIC DET1	R	TEL1 用 SLIC OFF-HOOK 検出出力
b5	SLIC VRS1	W	TEL1 用 SLIC Ringing 入力
b4	SLIC BSEL1	W	TEL1 用 SLIC バッテリ選択 0:Low バッテリ 1:High バッテリ
b3	SLIC F21	W	TEL1 用 SLIC オペレーティングモード制御ビット 2
b2	SLIC F11	W	TEL1 用 SLIC オペレーティングモード制御ビット 1
b1	SLIC F01	W	TEL1 用 SLIC オペレーティングモード制御ビット 0
b0	SLIC E01	W	TEL1 用 SLIC HOOK 検出モード制御

アドレス:H' 04000008 レジスタ名:SLIC 制御レジスタ 2SLICCNT2			
ビット	レジスタ名	R/W	機能
b15	—	R	未使用
~			
b3	—	R	未使用
b2	PSTN RING	R	PSTN Ringing 検出機能
b1	PSTN OFF-HOOK	R	PSTN モード時の OFF-HOOK 検出出力
b0	IP MODE	W	TEL1 モード選択 0:PSTN モード 1:IP モード

9.2.3. DMA制御

本レジスタにてエリア4に配置したUSBデバイスのDMA制御を行います。

アドレス:H'0400000A レジスタ名:DMA 制御レジスタ(DMACNTR)			
ビット	レジスタ名	R/W	機能
b15	—	R	未使用
~			
b5	—	R	未使用
b4	—	R	未使用
b3	—	R	未使用
b2	—	R	未使用
b1	DMA0START	R/W	USB DMA 転送制御ビット 0:DMA 転送停止 1:DMA 転送中
b0	DMA0DIR	R/W	USB DMA 転送方向制御ビット 0:(CPU→USB) 1:(CPU←USB)

9.2.4. PIO制御

デバッグ用汎用入出力ポートを制御します。

△1

アドレス:H'0400000C レジスタ名:汎用入力ポートレジスタ1(INPORTR)			
ビット	レジスタ名	R/W	機能
b15	—	R	未使用
~			
b9	—	R	未使用
b8	USB_VBUS	R	USB_VBSU 検出(0:未接続 1:接続)
b7	NIN1	R	予約
b6	NIN0	R	予約
b5	PCI PRSNT1n	R	汎用 PCI コネクタ PRSNTn 入力検出
b4	USB_RDY	R	USB コントローラ RDY 検出
b3	—	R	未使用
~			
b0	—	R	未使用

アドレス:H'0400000E レジスタ名:汎用出力ポートレジスタ1(OUTPORTR)			
ビット	レジスタ名	R/W	機能
b15	—	R	未使用
~			
b8	—	R	未使用
b7	NOUT1	W	予約
b6	NOUT0	W	予約
b5	POWER_OFF	W	電源 OFF 制御 1 ライトで電源 OFF
b4	USB_RESETn	W	USB コントローラリセット信号 1 ライトでリセットパルス発生 (リセットパルス幅約 3.2usec)
b3	LED3	W	デバッグ用 LED bit 3 データ 0:OFF 1:ON
b2	LED2	W	デバッグ用 LED bit 2 データ 0:OFF 1:ON
b1	LED1	W	デバッグ用 LED bit 1 データ 0:OFF 1:ON
b0	LED0	W	デバッグ用 LED bit0 データ 0:OFF 1:ON

9.2.5. FPGA バージョン情報取得

アドレス: H' 04000014 レジスタ名: FPGA バージョンレジスタ(VERREG)			
ビット	レジスタ名	R/W	機能
b15	—	R	未使用
~			
b8	—	R	未使用
b7	VER3	R	FPGA のバージョンNoをあらわす
b6	VER2	R	
b5	VER1	R	
b4	VER0	R	
b3	REV3	R	FPGA のリビジョンNoをあらわす
b2	REV2	R	
b1	REV1	R	
b0	REV0	R	

FPGA内部レジスタ一覧

レジスタ名	Bit	b15	b14	b13	b12	b11	b10	b9	b8
割込み制御 1 (IRLCNTR1)	信号名	IRL3 SEL3	IRL3 SEL2	IRL3 SEL1	IRL3 SELO	IRL2 SEL3	IRL2 SEL2	IRL2 SEL1	IRL2 SELO
	初期値	0	0	1	1	0	0	1	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
アドレス	Bit	b7	b6	b5	b4	b3	b2	b1	b0
H' 04000000	信号名	IRL1 SEL3	IRL1 SEL2	IRL1 SEL1	IRL1 SELO	IRL0 SEL3	IRL0 SEL2	IRL0 SEL1	IRL0 SELO
	初期値	0	0	0	1	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

レジスタ名	Bit	b15	b14	b13	b12	b11	b10	b9	b8
割込み制御 2 (IRLCNTR2)	信号名	IRL7 SEL3	IRL7 SEL2	IRL7 SEL1	IRL7 SELO	IRL6 SEL3	IRL6 SEL2	IRL6 SEL1	IRL6 SELO
	初期値	0	1	1	1	0	1	1	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
アドレス	Bit	b7	b6	b5	b4	b3	b2	b1	b0
H' 04000002	信号名	IRL5 SEL3	IRL5 SEL2	IRL5 SEL1	IRL5 SELO	IRL4 SEL3	IRL4 SEL2	IRL4 SEL1	IRL4 SELO
	初期値	0	1	0	1	0	1	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

レジスタ名	Bit	b15	b14	b13	b12	b11	b10	b9	b8
割込み制御 3 (IRLCNTR3)	信号名	-	-	IRL13 MASK	IRL12 MASK	IRL11 MASK	IRL10 MASK	IRL9 MASK	IRL8 MASK
	初期値	0	0	0	0	0	0	0	0
	R/W	R	R	R	W	R	R	R	R/W
アドレス	Bit	b7	b6	b5	b4	b3	b2	b1	b0
H' 04000004	信号名	IRL7 MASK	IRL6 MASK	IRL5 MASK	IRL4 MASK	IRL3 MASK	IRL2 MASK	IRL1 MASK	IRL0 MASK
	初期値	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

レジスタ名	Bit	b15	b14	b13	b12	b11	b10	b9	b8
SLIC 制御 1 (SLICNTR1)	信号名	SLIC ALM2	SLIC DET2	SLIC VRS2	SLIC BSEL2	SLIC F22	SLIC F12	SLIC F02	SLIC E02
	初期値	1	1	0	0	0	0	0	0
	R/W	R	R	W	W	W	W	W	W
アドレス	Bit	b7	b6	b5	b4	b3	b2	b1	b0
H' 04000006	信号名	SLIC ALM1	SLIC DET1	SLIC VRS1	SLIC BSEL1	SLIC F21	SLIC F11	SLIC F01	SLIC E01
	初期値	1	1	0	0	0	0	0	0
	R/W	R	R	W	W	W	W	W	W

レジスタ名	Bit	b15	b14	b13	b12	b11	b10	b9	b8
SLIC 制御 2 (SLICNTR2)	信号名	-	-	-	-	-	-	-	-
	初期値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R	R	R
アドレス	Bit	b7	b6	b5	b4	b3	b2	b1	b0
H' 04000008	信号名	-	-	-	-	-	PSTN RING	PSTN OFF-HOOK	IP MODE
	初期値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R	R	W

レジスタ名	Bit	b15	b14	b13	b12	b11	b10	b9	b8
DMA 制御 (DMACNTR)	信号名	-	-	-	-	-	-	-	-
	初期値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R	R	R
アドレス	Bit	b7	b6	b5	b4	b3	b2	b1	b0
H' 0400000A	信号名	-	-	-	-	-	-	DMA0 START	DMA0 DIR
	初期値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R	R/W	R/W

レジスタ名	Bit	b15	b14	b13	b12	b11	b10	b9	b8
汎用入力 ポート (INPORTR)	信号名	-	-	-	-	-	-	-	-
	初期値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R	R	R
アドレス	Bit	b7	b6	b5	b4	b3	b2	b1	b0
H' 0400000C	信号名	NIN1	NIN0	PCI PRSTN1n	USB_ RDY	-	-	-	-
	初期値	0	0	1	1	不定	不定	不定	不定
	R/W	R	R	R	R	R	R	R	R

レジスタ名	Bit	b15	b14	b13	b12	b11	b10	b9	b8
汎用出力 ポート (OUTPORTR)	信号名	-	-	-	-	-	-	-	-
	初期値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R	R	R
アドレス	Bit	b7	b6	b5	b4	b3	b2	b1	b0
H' 0400000E	信号名	NOUT1	NOUT0	POWER _OFF	USB_ RESETn	LED3	LED2	LED1	LED0
	初期値	0	0	1	1	0	0	0	0
	R/W	W	W	W	W	W	W	W	W

レジスタ名	Bit	b15	b14	b13	b12	b11	b10	b9	b8
割込み制御 4 (IRLCNTR4)	信号名	-	-	-	IRL12REG RST	IRL11REG RST	IRL10REG RST	IRL9REG RST	IRL3REG RST
	初期値	0	0	0	0	0	0	0	0
	R/W				W	W	W	W	W
アドレス	Bit	b7	b6	b5	b4	b3	b2	b1	b0
H' 04000010	信号名	IRL13 SEL3	IRL13 SEL2	IRL13 SEL1	IRL13 SEL0	IRL8 SEL3	IRL8 SEL2	IRL8 SEL1	IRL8 SEL0
	初期値	1	1	0	1	1	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

レジスタ名	Bit	b15	b14	b13	b12	b11	b10	b9	b8
割込み制御 5 (IRLCNTR5)	信号名	IRL12 SEL3	IRL12 SEL2	IRL12 SEL1	IRL12 SEL0	IRL11 SEL3	IRL11 SEL2	IRL11 SEL1	IRL11 SEL0
	初期値	1	1	0	0	1	0	1	1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
アドレス	Bit	b7	b6	b5	b4	b3	b2	b1	b0
H' 04000012	信号名	IRL10 SEL3	IRL10 SEL2	IRL10 SEL1	IRL10 SEL0	IRL9 SEL3	IRL9 SEL2	IRL9 SEL1	IRL9 SEL0
	初期値	1	0	1	0	1	0	0	1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

レジスタ名	Bit	b15	b14	b13	b12	b11	b10	b9	b8
FPGA パージ オンレジスタ (VERREG)	信号名	-	-	-	-	-	-	-	-
	初期値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R	R	R
アドレス	Bit	b7	b6	b5	b4	b3	b2	b1	b0
H' 04000014	信号名	VER3	VER2	VER1	VER0	REV3	REV2	REV1	REV0
	初期値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R	R	R

10. SH7751R 設定例

HS7751RVoIP-2.1 を動作させるための SH7751R の内部レジスタ設定例について示します。

10.1. CPG 設定

SH7751R 内蔵発振回路の一部 CPG の設定を行います。CPG はクロックパルスジェネレータの略で、SH7751R 内部に供給するクロックの生成と低消費電力モードの制御を行います。レジスタ構成は以下の通りです。

名称	略称	R/W	初期値	P4 アドレス	エリア 7 アドレス	アクセスサイズ
周波数制御レジスタ	FRQCR	R/W	不定	H' FFC0 0000	H' 1FC0 0000	16

クロック 動作 モード	外部端子組み合わせ			PLL1	PLL2	周波数(対入力クロック)			FRQCR 初期値
	MD2	MD1	MD0			CPU クロック	バスクロック	周辺 モジュール クロック	
0	0	0	0	On (x 12)	On	12	3	3	H' 0E1A
1	0	0	1	On (x 12)	On	12	3/2	3/2	H' 0E2C
2	0	1	0	On (x 6)	On	6	2	1	H' 0E13
3	0	1	1	On (x 12)	On	12	4	2	H' 0E13
4	1	0	0	On (x 6)	On	6	3	3/2	H' 0E0A
<u>5</u>	<u>1</u>	<u>0</u>	<u>1</u>	<u>On (x 12)</u>	<u>On</u>	<u>12</u>	<u>6</u>	<u>3</u>	<u>H' 0E0A</u>
6	1	1	0	On (x 6)	Off	1	1/2	1/2	H' 0808

HS7751RVoIP-2.1 では、SH7751R 内部クロック 240MHz、SDRAM 高速アクセスのためのバスクロック 120MHz 設定のため、20MHz クロックを入力し、クロック動作モード5を使用します。

モード設定用スイッチS5を(S5-2:S5-3:S5-4:OFF:ON:OFF)に設定すると、FRQCR は H' 0E0A に設定されます。

クロックの安定時間確保には SH7751R 内蔵の WDT(ウォッチドッグタイマ)を使用します。詳細については、SH7751 シリーズハードウェアマニュアル(ADJ-602-215A)を参照ください。

10.2. BSC 設定

BSC は、バスステートコントローラの略で、外部メモリ空間の分割、各種メモリ及び外部バス制御信号の設定を行います。レジスタ構成は以下の通りです。

名称	略称	R/W	設定値例	P4 アドレス	エリア 7 アドレス	アクセスサイズ
バスコントロールレジスタ 1	BCR1	R/W	H' 00080009	H' FF80 0000	H' 1F80 0000	32
バスコントロールレジスタ 2	BCR2	R/W	H' AAF8	H' FF80 0004	H' 1F80 0004	16
バスコントロールレジスタ 3	BCR3	R/W	H' 0000	H' FF80 0050	H' 1F80 0050	16
バスコントロールレジスタ 4	BCR4	R/W	H' 00000011	H' FE0A 00F0	H' 1E0A 00F0	32
ウェイトコントロールレジスタ 1	WCR1	R/W	H' 33333333	H' FF80 0008	H' 1F80 0008	32
ウェイトコントロールレジスタ 2	WCR2	R/W	H' CFFA6FBF	H' FF80 000C	H' 1F80 000C	32
ウェイトコントロールレジスタ 3	WCR3	R/W	H' 07577707	H' FF80 0010	H' 1F80 0010	32
個別メモリコントロールレジスタ	MCR	R/W	H' 081901F4	H' FF80 0014	H' 1F80 0014	32
PCMCIA コントロールレジスタ	PCR	R/W	H' 4C60	H' FF80 0018	H' 1F80 0018	16
リフレッシュタイムコントロール/ステータスレジスタ	RTCSR	R/W	H' A510	H' FF80 001C	H' 1F80 001C	16
リフレッシュタイムコンスタントレジスタ	RTCOR	R/W	H' A534	H' FF80 0024	H' 1F80 0024	16
シンクロナス DRAM モードレジスタ(エリア 3)	SDMR3	W	H' 55(任意)	H' FF94 00CC	H' 1F94 00CC	8

10.2.1. BCR1 の設定

BCR1 は、各エリアの機能、バスサイクル状態等を指定します。設定例は以下の通りです。

設定値: H' 0000800009

b26:0	データ端子のプルアップ抵抗は、オン
b25:0	コントロール入力端子のプルアップ抵抗は、オン
b24:0	コントロール出力端子のプルアップ抵抗は、オン
b21:0	エリア 1 の SRAM は、通常モード
b20:0	エリア 4 の SRAM は、通常モード
b19:1	外部リクエストと PCIC からのバスリクエストを受け付ける
b17:0	エリア 1~6 が SRAM インタフェース設定のとき、SRAM インタフェースを選択
b16:0	DMAC バーストモード転送優先指定オフ
b15:0	A[25:0],BSn,CSn,RD/WRn,CE2An,CE2Bn 信号はスタンバイ時及びバス権開放時、ハイインピーダンス
b14:0	RASn,WEn,DQM,RDn 信号はスタンバイ時及びバス権開放時、ハイインピーダンス
b13,12,11:0,0,0	エリア 0 を SRAM インタフェースとしてアクセス
b10,b9,b8:0,0,0	エリア 5 を SRAM インタフェースとしてアクセス
b7,b6,b5:0,0,0	エリア 6 を SRAM インタフェースとしてアクセス
b4,b3,b2:0,1,0	エリア 2 を SRAM インタフェース、エリア 3 を SDRAM インタフェースとしてアクセス
b0:1	エリア5とエリア6を PCMCIA インタフェースとしてアクセス

10.2.2. BCR2 の設定

BCR2 は、各エリアのバス幅及び 32 ビットポートを使用するカードうかを指定します。

HS7751RVoIP-2.1 では、PCI バスを使用しますので、32 ビットポートは使用しません。

*エリア 0 のバスサイズは、外部入力ピン(MD4:MD3)で設定します。HS7751RVoIP-2.1 では、16 ビットバス幅に設定しています。

設定例は以下の通りです。

設定値: H' AAF8

b15,b14:1,0	エリア 0 のバス幅: 16 ビット(MD4,MD3 の設定値)
b13,b12:1,0	エリア 6 のバス幅: 16 ビットに設定
b11,b10:1,0	エリア 5 のバス幅: 16 ビットに設定
b9,b8:1,0	エリア 4 のバス幅: 16 ビットに設定
b7,b6:1,1	エリア 3 のバス幅: 32 ビットに設定
b5,b4:1,1	エリア 2 のバス幅: 32 ビットに設定
b3,b2:1,0	エリア 1 のバス幅: 16 ビットに設定
b0:0	AD31~AD0 をポートとして使用しない

10.2.3. BCR3 の設定

BCR3 は、MPX インタフェースと SRAM インタフェースの切り替え及び SDRAM インタフェースのバースト長を指定します。設定例は以下の通りです。

設定値: H' 0000

- b15:0 MEMMPX(BCR1 b17)で設定します
- b14:0 エリア 1 は SRAM/バイト制御 SRAM インタフェースが選択されます。
- b13:0 エリア 4 は SRAM/バイト制御 SRAM インタフェースが選択されます。
- b0:0 SDRAM のバースト長: 8 に設定

10.2.4. BCR4 の設定

BCR4 は、各ビットに対応する端子の非同期入力を可能にするレジスタです。設定例は以下の通りです。

設定値: H' 00000011

- b4:1 IOIS16n は、CKIO に対する同期入力
- b3:0 DREQ1n は、CKIO に対して非同期入力可能
- b2:0 DREQ0n は、CKIO に対して非同期入力可能
- b1:0 BREQn は、CKIO に対する同期入力
- b0:1 RDYn は、CKIO に対して非同期入力可能

10.2.5. WCR1 の設定

WCR1 は、各エリアのアイドルステート挿入サイクル数を指定します。設定例は以下の通りです。

設定値: H' 33333333

b30,b29,b28:0,1,1	DACK 付きデバイスから他の空間への切り替え時、或いは、同一デバイス上でのリード/ライト切り替え時にバスサイクルに挿入するアイドルサイクル数:3
b26,b25,b24:0,1,1	エリア 6 から他の空間への切り替え、或いは、同一空間でのリード/ライト切り替え時に挿入するアイドルサイクル数:3
b22,b21,b20:0,1,1	エリア 5 から他の空間への切り替え、或いは、同一空間でのリード/ライト切り替え時に挿入するアイドルサイクル数:3
b18,b17,b16:0,1,1	エリア 4 から他の空間への切り替え、或いは、同一空間でのリード/ライト切り替え時に挿入するアイドルサイクル数:3
b14,b13,b12:0,1,1	エリア 3 から他の空間への切り替え、或いは、同一空間でのリード/ライト切り替え時に挿入するアイドルサイクル数:3
b10,b9,b8:0,1,1	エリア 2 から他の空間への切り替え、或いは、同一空間でのリード/ライト切り替え時に挿入するアイドルサイクル数:3
b6,b5,b4:0,1,1	エリア 1 から他の空間への切り替え、或いは、同一空間でのリード/ライト切り替え時に挿入するアイドルサイクル数:3
b2,b1,b0:0,1,1	エリア 0 から他の空間への切り替え、或いは、同一空間でのリード/ライト切り替え時に挿入するアイドルサイクル数:3

10.2.6. WCR2 の設定

WCR2 は、各エリアの挿入ウェイトステート数を指定します。HS7751RVoIP-2.1 は、バーストROM 設定しないため、バーストピッチについては初期値とします。設定例は以下の通りです。

設定値: H' FFFA6FBF

b31,b30,b29:1,1,1	エリア 6 に対する挿入ウェイトステート数: 15
b25,b24,b23:1,1,1	エリア 5 に対する挿入ウェイトステート数: 15
b19,b18,b17:1,0,1	エリア 4 に対する挿入ウェイトステート数: 9
b15,b14,b13:0,1,1	エリア 3 SDRAM の CAS レイテンシサイクル数: 3
b11,b10,b9: 1,1,1	エリア 2 に対する挿入ウェイトステート数: 15
b8,b7,b6:1,1,0	エリア 1 に対する挿入ウェイトステート数: 12
b5,b4,b3:1,1,1	エリア 0 に対する挿入ウェイトステート数: 15

10.2.7. WCR3 の設定

WCR3 は、各エリアのアドレスからリード/ライトストロープのアサートまでのセットアップ時間、ライトストロープのネゲートからのデータホールド時間の挿入サイクルを指定します。設定例は以下の通りです。

設定値: H' 07577707

b26:1	エリア 6 は PCMCIA 空間のため、設定値は無効
b25,b24:1	エリア 6 は PCMCIA 空間のため、設定値は無効
b22:1	エリア 5 は PCMCIA 空間のため、設定値は無効
b21,b20:1	エリア 5 は PCMCIA 空間のため、設定値は無効
b19:0	エリア 4 のリードストロープのホールドに挿入するウェイトステート数: 0
b18:1	エリア 4 のリード/ライトストロープ信号のセットアップ時間に挿入するウェイトステート数: 1
b17,b16:1,1	エリア 4 のデータホールド時間に挿入するウェイトステート数: 3
b14:1	エリア 3 は SDRAM 空間のため、設定値は無効
b13,b12:1,1	エリア 3 は SDRAM 空間のため、設定値は無効
b10:1	エリア 2 は未使用空間のため初期値
b9,b8:1,1	エリア 2 は未使用空間のため初期値
b7:0	エリア 1 のリードストロープのホールドに挿入するウェイトステート数: 0
b6:0	エリア 1 のリード/ライトストロープ信号のセットアップ時間に挿入するウェイトステート数: 0
b5,b4:0,0	エリア 1 のデータホールド時間に挿入するウェイトステート数: 0
b2:1	エリア 0 のリード/ライトストロープ信号のセットアップ時間に挿入するウェイトステート数: 1
b1,b0:1,1	エリア 0 のデータホールド時間に挿入するウェイトステート数: 3

10.2.8. MCR の設定

MCR は、SDRAM に対する RASn,CASn のタイミングやバースト制御、アドレスマルチプレクスの指定、リフレッシュを指定します。

本レジスタの初期設定が終了するまで、エリア 3 をアクセスしないでください。

設定例は以下の通りです。

設定値: H' 081901F4

b31:0	通常モードで使用
b30:0	全バンクプリチャージ
b29,b28,b27:0,0,1	リフレッシュ終了後の RAS プリチャージ期間: 3
b23:0	CAS のネゲート期間: 1
b21,b20,b19:0,1,1	プリチャージ後、次のバンクアクティブコマンド出力までの最少サイクル数: 4
b17,b16:0,1	バンクアクティブ-読出し/書込みコマンド遅延時間: 2 サイクル
b15,b14,b13:0,0,0	SDRAM の書込みプリチャージの遅延時間: 1
b12,b11,b10:0,0,0	オートリフレッシュコマンド発行後、4 サイクル期間バンクアクティブコマンドを発行しない
b8,b7:1,1	SDRAM のバス幅: 32 ビット
b6:1	SDRAM (4M x 16 ビット x 4) x 2 個
b5,b4,b3:1,1,0	SDRAM (4M x 16 ビット x 4) x 2 個
b2:1	リフレッシュを行う
b1:1	セルフリフレッシュを行う

10.2.9. PCR の設定

PCR は、エリア 5,6 に接続する PCMCIA インタフェースに対する OEn,WEn 信号のアサート/ネゲートタイミングを指定します。

(OEn,WEn のアサート幅は WCR2 で設定します。) 設定例は以下の通りです。

設定値: H' 4D24

b15,b14:0,1	エリア 5 について、WCR2 で指定したウェイト数に加算(+15 ウェイト)
b13,b12:0,0	エリア 6 について、WCR2 で指定したウェイト数に加算(+0 ウェイト)
b11,b10,b9: 1,1,0	エリア 5 について、アドレス出力から OEn/WEn アサートまでの遅延時間を設定: 12 ウェイト
b8,b7,b6:1,0,0	エリア 6 について、アドレス出力から OEn/WEn アサートまでの遅延時間を設定: 6 ウェイト
b5,b4,b3:10,0	エリア 5 について、OEn/WEn ネゲートからのアドレスホールド遅延時間を設定: 6 ウェイト
b2,b1,b0:1,0,0	エリア 6 について、OEn/WEn ネゲートからのアドレスホールド遅延時間を設定: 6 ウェイト

10.2.10. RTCSR の設定

RTCSR は、リフレッシュ周期、割込み発生の有無を指定します。(書込みの際、上位 8 ビットには H'A5 を付加して 16 ビットで書込みます。) 設定例は以下の通りです。

設定値: H' A510

b7:0	RTCNT と RTCOR の値が一致していない(初期値)
b6:0	CMF(コンパッチフラグ)による割込み要求を禁止(初期値)
b5,b4,b3:0,1,0	RTCNT への入力クロックを CKIO/16 にする
b2:0	LMTS で示すカウントリット値を RFCR がオーバーフローしていないことを示す(初期値)
b1:0	OVF による割込み要求を禁止(初期値)
b0:0	カウントリット値を 1024 とする(初期値)

10.2.11. RTCOR の設定

RTCOR は、RTCNT カウンタの上限値を指定します。MCR でリフレッシュ指定した、リフレッシュを CAS ビフォ RAS に設定していると、RTCOR と RTCNT の値が一致した時にメモリリフレッシュサイクルが発生します。(書込みの際、上位 8 ビットには H'A5 を付加して 16 ビットで書込みます。) 設定例は以下の通りです。

設定値: H' A534

RTCSRの設定:CKIO/16 で $120\text{MHz}/16 = 7.5\text{MHz}$ (133ns)

リフレッシュ間隔を約6.9usとしたとき、 $133\text{ns} \times 52 = \text{約}6.9\text{us}$ となり、設定値を52(H'34)としています。

10.2.12. SDMR3 の設定

SDMR3 は、エリア 3 の SDRAM のモードを設定します。

SDRAM のモードレジスタに対する書込みは、アドレスバスを用います。詳細は、SH7751 ハードウェアマニュアル SDMR の項を参照ください。設定例は以下の通りです。

設定値: セットアドレス: H' FF94000CC (H' 1F94 000CC) データ: H' xx(任意データ)

b8,b7,b6:0,1,1	RAS-CAS レイテンシ: 3
b5:0	ラップタイプ: シーケンシャル
b4,b3,b2:0,1,1	バースト長: 8

10.3. PTEA 設定

PTEA は MMU レジスタの一つで PCMCIA のアクセスのためのアシスタントビットを格納するために使用します。

本ボードでは、エリア 6 に CODEC、エリア 5 に CF を配置しています。

CODEC は 8 ビットアクセス、CF は 8/16 ビットアクセスするためアクセス方法によって PTEA の設定が必要となります。

名称	略称	R/W	初期値	P4 アドレス	エリア 7 アドレス	アクセスサイズ
ページテーブルエントリアシスタント レジスタ	PTEA	R/W	不定	H' FF00 0034	H' 1F00 0034	32

PTEA の構成は以下の通りです。

31	4	3	2	0	
				TC	SA

TC ビット:

0 の時: WCR2 の A5W2 ~ A5W0、および PCR の A5PCW1 ~ A5PCW0、A5TED2 ~ A5TED0、A5TEH2 ~ A5TEH0 ビットが選択されます。

1 の時: WCR2 の A6W2 ~ A6W0、PCR の A6PCW1 ~ A6PCW0、A6TED2 ~ A6TED0、A6TEH2 ~ A6TEH0 ビットが選択されます。

SA ビット:

SA2	SA1	SA0	説明
0	0	0	予約 (設定禁止)
		1	ダイナミック I/O バスサイジング
	1	0	8 ビット I/O 空間
		1	16 ビット I/O 空間
1	0	0	8 ビット共有メモリ
		1	16 ビット共有メモリ
	1	0	8 ビットアトリビュートメモリ
		1	16 ビットアトリビュートメモリ

